

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-32344

(P 2 0 0 0 - 3 2 3 4 4 A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
H04N 5/335		H04N 5/335	E
H01L 27/146		H01L 27/14	A

審査請求 未請求 請求項の数 3 O L (全 8 頁)

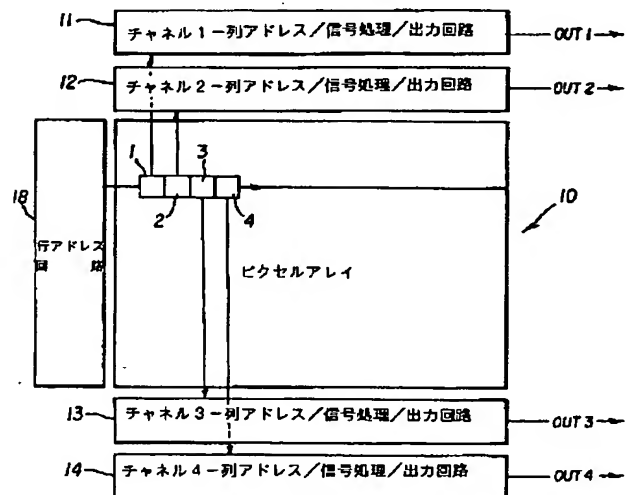
(21) 出願番号	特願平11-172158	(71) 出願人	590000846 イーストマン コダック カンパニー アメリカ合衆国, ニューヨーク14650, ロ チェスター, ステイト ストリート343
(22) 出願日	平成11年6月18日 (1999.6.18)	(72) 発明者	ポール ビー リー アメリカ合衆国 ニューヨーク州 ピッツ フォード ヴァン バーレン ロード 9
(31) 優先権主張番号	0 9 / 1 0 2, 3 0 6	(72) 発明者	テー シュワン リー アメリカ合衆国 カリフォルニア州 カー ルスバッド アナータ コート 928
(32) 優先日	平成10年6月22日 (1998.6.22)	(74) 代理人	100075258 弁理士 吉田 研二 (外 2 名)
(33) 優先権主張国	米国 (US)		

(54) 【発明の名称】 CMOS アクティブピクセルセンサのための並列出力アーキテクチャ

(57) 【要約】

【課題】 高ピクセルレート of データ転送を達成するために、より多機能な複数アレイを実現するような、アクティブピクセルセンサ (APS) を提供する。

【解決手段】 半導体基板上にピクセルアレイ 10 が形成されている。ピクセルアレイ 10 は、複数の行及び列に配置されている。ピクセルアレイ 10 は機能的に分割され、分割された領域の各々に列アドレス/信号処理/出力回路 11, 12, 13 及び 14 と、一つの行アドレス回路 18 を設けることによって、複数のピクセルを同時にアドレスして読み出すことを可能にする。列アドレス/信号処理/出力回路 11, 12, 13 及び 14 が各領域に設けられて、各領域のピクセルのシーケンス列を出力する。



【特許請求の範囲】

【請求項 1】 アクティブピクセルセンサであって、
複数の行及び列に配置されたピクセルの 2 次元アレイを
有する半導体基板と、

該基板の上に形成された行アドレス回路と、
該基板の上に形成された列アドレス回路と、
該ピクセルのアレイに動作可能に接続された複数の信号
処理回路であって、該信号処理回路の各々は、導電性信
号バスを通じて、該アレイの中のピクセルの所定のサブ
セットに電氣的に接続されていて、該サブセットの各々
が、複数のピクセルを有する、複数の信号処理回路と、
該行アドレス回路及び該列アドレス回路を使用して該サ
ブセットの各々について 1 つのピクセルを有するピクセル
列を選択し、該ピクセル列の各々から信号を該信号処理
回路に同時に転送する手段と、を備えることを特徴と
するアクティブピクセルセンサ。

【請求項 2】 アクティブピクセルセンサであって、
複数の行及び列に配置されたピクセルの 2 次元アレイを
有する半導体基板と、

該基板の上に形成された行アドレス回路と、
該基板の上に形成された列アドレス回路と、
該ピクセルのアレイに動作可能に接続された複数の信号
処理回路であって、該信号処理回路の各々は、導電性信
号バスを通じて、該アレイの中のピクセルの所定のサブ
セットに電氣的に接続されていて、該サブセットの各々
が、複数のピクセルを有する、複数の信号処理回路と、
該行アドレス回路及び該列アドレス回路を使用して該サ
ブセットの各々について 1 つのピクセルを有するピクセル
列を選択し、該ピクセル列の各々から信号を該信号処理
回路に同時に転送する手段と、を備え、
該アレイが、複数の領域に機能的に分割されていて、該
領域の各々は、行アドレス回路及び列アドレス回路を有
し、且つ、該領域の各々が更に、他の領域のうちの一つ
の領域の鏡像であることを特徴とするアクティブピクセル
センサ。

【請求項 3】 アクティブピクセルセンサの製造方法で
あって、

複数の行及び列に配置されたピクセルの 2 次元アレイが
その上に形成された半導体基板を準備するステップであ
って、該半導体基板は、該行の各々をアドレスできる行
アドレス回路と、該列の各々をアドレスできる列アドレ
ス回路と、該ピクセルの 2 次元アレイに動作可能に接続
された少なくとも一つの信号処理回路であって、各々複
数のピクセルを有する該アレイ中の所定のピクセルサブ
セットに、各々が導電性信号バスを通じて電氣的に接続
される信号処理回路と、を有する該半導体基板を準備す
るステップと、

該 2 次元アレイ、その関連する行及び列アドレス回路及
びその関連する信号処理回路の鏡像を形成して、該 2 次
元アレイの鏡像である第 2 の 2 次元アレイを生成するス

テップと、を含むことを特徴とする方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】 本発明は、一般的に、複数出
力チャネルを有する固体画像装置センサに関し、より具
体的には、高フレームレート及び高ピクセルレートを必
要とするイメージ獲得のために設計された、複数チャネ
ルを有する CMOS アクティブピクセルセンサ (A P
S) に基づいたアーキテクチャに関する。本発明は、モ
ザイクカラーフィルタアレイ (C F A) によって規定さ
れる色の各々について別個の出力チャネルを有すること
が望まれるシステムに対しても、適用可能である。この
アーキテクチャは、他のタイプの x - y アドレス可能な
イメージングアレイに対しても、適している。

【 0 0 0 2 】

【従来の技術】 従来技術によれば、データを高ピクセル
データレートで出力することを要件とするイメージセン
サが知られている。典型的には、これらの高ピクセルレ
ート要件は、ピクセルの 2 次元アレイ (x - y アレイ)
を 2 つのスプリットフィールドに分けて配列し、これら
のピクセルの一方の半分の出力を、その半分に隣接した
アレイの端に位置された信号処理回路に送るようにする
ことによって、達成される。もう一方の半分のピクセル
は、その半分に隣接して配置された同様の回路に出力さ
れる。従来技術においてそのようなアレイを実現するた
めに使用され得る技術は、 CMOS A P S 或いは C C
D であった。他の従来技術として、 2 次元アレイを多数
のブロックに形成し、個々のブロックがそれ自身の出力
バスを有しているものが、開示されている。これらの複
数出力バスを有する従来技術の装置は、イメージセンサ
アレイのための出力データレートを増加させるが、提供
する多様な機能性の量及び種類が制限される。

【 0 0 0 3 】 図 1 は、従来技術のセンサ装置のブロック
図であって、センサ 1 0 0 は、 2 つの個々の光センシン
グフィールド 1 1 9 及び 1 2 9 が存在するように配置さ
れている。描かれているセンサ 1 0 0 は、電荷結合型装
置 (C C D) である。フィールド 1 1 9 及び 1 2 9 の各
々は、水平シフトレジスタを有しており、これらが、各
フィールド 1 1 9 及び 1 2 9 の出力バスを提供する。セ
ンサは、 2 つの別個のセンサとして効果的に動作され
て、それによって、単一のフィールド或いはフレームの
みを有するセンサのピクセルデータ転送レートを倍増さ
せる。更にピクセルデータ転送レートを増加するため
に、従来技術のセンサでは、フィールド 1 1 9 に出力タ
ップ 1 2 1 ~ 1 2 7 が設けられており、これらの出力タ
ップ 1 2 1 ~ 1 2 7 は、 o u t 1 2 0 と共に動作して、
水平シフトレジスタを通じて現在転送されている電荷を
除去する。同様に、フィールド 1 2 9 は、 o u t 1 3 0
と共に動作して、水平シフトレジスタを通じて現在転送
されている電荷を除去する出力タップ 1 3 1 ~ 1 3 7

を、有している。これで、計 8 つの出力 (130~137) が得られる。出力数が増えると、高速要件を有するシステムに必須のピクセルデータ転送レートが、大きく増加する。しかし、そのような構成によっては、ランダムアドレス能力は得られない。

【発明が解決しようとする課題】従来の CMOS APS では、ピクセルアレイのうちの 1 行のみがアドレスされて、その行からイメージデータが、オフセット除去のような信号処理のために、並列に列回路に転送される。選択された行の各ピクセルは順に読み出されて、1 ラインの出力イメージデータを形成する。アレイ中のピクセルの総数及びフレームレートが、ピクセル出力レートを決定する。高フレームレート装置、すなわちイメージ獲得のために多数のピクセルを有する装置に対しては、データレートは過剰になり、出力チャネル電子回路はもはや十分に高速ではなく、信号を獲得して、その信号を非常に忠実にイメージ 2 値化及び記憶ユニットに伝送することができない。例えば、30 フレーム/秒で動作する 1000×1000 (メガピクセル) アレイは、30 MHz を越えるピクセル出力レートを有する。しかし、1000 フレーム/秒で動作する 500×500 ピクセルアレイは、250 MHz を越える出力データレートを必要とする。典型的な最高技術水準のピクセルデータチャネル (アナログ信号及び 2 値化回路の両方) では、10 MHz オーダの範囲のピクセル転送レートが可能であるに過ぎず、従って、高フレームレート及び高ピクセル数のセンサのための高ピクセル出力レートを達成するためには、複数並列出力チャネルが必要である。

【0004】以上の議論より、当該技術において、高ピクセルレートのデータ転送を達成するために、より多機能な複数アレイが必要とされていることが、明らかであろう。

【0005】

【課題を解決するための手段】本発明は、アクティブピクセルセンサ (APS) のための CMOS に基づいたアーキテクチャを提供することによって、従来技術における前述の問題を克服する。複数の行及び列に配置されたピクセルの 2 次元アレイを有する半導体基板が、基板上に形成された行アドレス回路と、基板上に形成された列アドレス回路と、ピクセルのアレイに動作可能に接続された複数の信号処理回路と、を備え、信号処理回路の各々は、導電性信号バスを通じて、アレイ中のピクセルの所定のサブセットに電気的に接続されている。サブセットの各々は、複数のピクセルを備える。半導体基板は、更に、行アドレス回路及び列アドレス回路を使用してサブセットの各々について 1 つのピクセルを有するピクセル列を選択し、各ピクセル列から信号を信号処理回路に同時に転送する手段を、備える。

【0006】APS の特性と完全に互換性を有する CMOS に基づくアーキテクチャを提供する本発明は、様々

な効果を有する。具体的には、本発明は、x-y アドレスリング性や、(例えば、フレーム当たり、より少ないピクセルで、より高いフレームレートを提供するための) ピクセルアレイのサブウインドウイング及びサブサンプリングを提供し、提供されるモザイクカラーフィルタアレイを有するカラーイメージセンサに対しては、並列チャネル接続スキームをサブサンプリング中に CFA パターンを保存するために使用することが可能であり、CFA に基づくカラーイメージセンサに対しては、並列チャネルの各々を単一の色に対して使用することが可能であり、(色特定ゲインの設定や 2 値化のような) カラー信号処理を簡単化する。

【0007】

【発明の実施の形態】本発明は、信号バスを使用して、複数の (2 つ或いはそれ以上の) 行或いは複数のピクセルを信号処理回路に並列に接続することによって、複数の出力回路、或いはチャネルを使用して、高データレート要件を全体として有する装置に対するチャネル当たりのデータレート要件 (図 2~図 5 参照) を低くすることができる。この複数チャネルの実現は、各々の異なる色に対して別個の出力チャネルを有していることが望ましいカラー x-y アドレス可能センサにも、適用可能である。各々の異なる色に対する別個の出力チャネルの例として、ピクセル 1、2、3 及び 4 の各々 (図 2~図 5 参照) が、(2 つのグリーンチャネル、1 つのレッドチャネル、及び 1 つのブルーチャネルを有するバイエルパターンのような) 異なる色を検知するように構成されている。列幅の出力信号ルーティングは、色特定出力チャネルをカバーする同じカラーフィルタのピクセルを全て接続する。

【0008】図 2 を参照すると、これは本発明のブロック図であって、4 つの出力チャネル out 1、out 2、out 3、及び out 4 を有するピクセルアレイ 10 が設けられていて、選択されたピクセル 1、2、3、及び 4 が、4 つの別個の列アドレス/信号処理/出力回路 11、12、13、及び 14 を介して同時に出力される。本実施形態に示されているように、4 つの選択されたピクセル 1、2、3、及び 4 は、行アドレス回路 18 によって出力用に選択された単一行から選択される。これより、4 つの並列チャネルは、選択された行の 4 つのピクセルがアドレスされて 4 つの異なる回路ブロックに読み出されるように、実現される。行アドレス回路 18 は、本発明によって実現されるように、チップ上に設けられる。列アドレス回路もチップ上に設けられるが、本発明によって実現されるように、列アドレス/信号処理/出力回路 11、12、13、及び 14 の一部となっている。行及び列アドレス回路は、イメージセンサの技術分野で良く知られている従来の回路である。列アドレス/信号処理/出力回路 11、12、13、及び 14 は、出力チャネル out 1、out 2、out 3、及び

out 4 (以下により詳細に説明する)と同様に、本質的に同一の回路であって、4つのチャンネルの各々毎に、目的の色のみを変えて、繰り返されている。図2によって示される本発明は、各チャンネルがピクセルの1/4ずつを処理し、4つのピクセルが同時に、各チャンネルで1ピクセルずつ処理される。

【0009】図3は、図2を参照して説明した実施形態の変形であって、4つの出力チャンネルを有する本発明の他の実施形態のブロック図である。図3を参照すると、4つの出力チャンネルout 1、out 2、out 3、及びout 4を有するピクセルアレイ20が、選択されたピクセル1、2、3、及び4を、4つの別個の列アドレス/信号処理/出力回路21、22、23、及び24を介して同時に出力する。ここでは、4つの異なる回路ブロックで同時に処理される4つのピクセルを選択するために、2つの連続した行が必要とされる。図3に示される実施形態で提供されるピクセルは、典型的には、従来技術で典型的に使用されるモザイクカラーフィルタアレイ(CFA)パターンの一部である。図示されるように、並列に処理される4つのピクセルは色に基づいて関連付けられており、同時に処理される4つの各グループ毎に、2つのグリーンピクセル(Gとして示されている)、1つのブルーピクセル(Bとして示されている)、及び1つのレッドピクセル(Rとして示されている)がある。

【0010】図4は、説明した上記の実施形態の変形であって、4つの出力チャンネルを有する本発明の他の実施形態のブロック図である。ピクセルアレイ30が、4つの出力チャンネルout 1、out 2、out 3、及びout 4を有し、選択されたピクセル1、2、3、及び4を、4つの別個の列アドレス/信号処理/出力回路31、32、33、及び34を介して同時に出力する。図4は、列アドレス/信号処理/出力回路31、32、33、及び34がイメージングx-yアレイの1つの側のみに位置している4チャンネル変形を描いたブロック図である。ここに描かれている選択されたピクセル1、2、3、及び4は、連続した行に位置しているが、必ずしも、隣接したピクセルがモザイクパターンの形成を妨げるわけではない。これは説明の目的のためであって、出力のために選択されるピクセルに関連した回路配置において、様々なスキームが使用できることを示すものである。

【0011】図5は、図3に示される実施形態に関して、ピクセルアレイ20の中の色特定チャンネルへの選択されたピクセル1、2、3、及び4の接続マトリクスを詳細に示している。具体的には、様々なピクセルを出力チャンネルに接続するために使用される列信号バスが描かれている。図5に見られるように、各列は、少なくとも2つの信号バスを有しており、これらは、その列のピクセルの半分を、それらのピクセルが関連しているチャネ

ルに従ってピクセルに接続する。これによって、列の半分は、ピクセル1及び3を各列アドレス/信号処理/出力回路21及び23にインターフェースする信号バスラインを有し、残りの半分は、ピクセル2及び4を各列アドレス/信号処理/出力回路22及び24にインターフェースする信号バスラインを有する。

【0012】図6は、列信号バスラインを信号処理回路及び列アドレス回路にインターフェースするブロック図を、詳細に描いている。ピクセルデータは、ピクセル列バスからCDS回路91に到着し、ここで2倍サンプリングが行われる。列選択信号がスイッチ95及び96に与えられて、差動増幅器92にリセットサンプル及び信号サンプルを交互に供給し、列アドレス回路によって現在選択されている列の各々に、隣接した出力を与える。スイッチ95及び96はトランジスタ構成であり、所与のプロセスによって与えられる設計基準に基づいて、CMOS、PMOS、或いはNMOSの何れであっても良い。差動増幅器92は、固定値のゲイン値を有していても良く、或いは、そのゲイン値はプログラマブルであっても良い。プログラマブルなゲイン値は、メタル或いは論理レベルの何れかで与えられる。

【0013】他のアーキテクチャでは、アレイを四半分領域に分割し、先に説明したものと同じ複数ピクセル接続アーキテクチャを適用して、更に多数の並列チャンネルを達成している。図7の本発明のある実施形態のブロック図では、アレイが4つのx-yアレイ四半分領域41、42、43、及び44に分割され、その各々が2つの出力チャンネルを有して、結果として計8つの出力チャンネルを有している。各出力チャンネルは、それ自身の列アドレス/信号処理/出力回路(51~58)を有している。4つのx-yアレイ四半分領域41、42、43、及び44の各々は、それ自身の個別の行アドレス回路81、82、83、及び84を有している。ここで開示されている本発明では、高フレームレート或いは高ピクセル数のイメージセンサを可能にする並列チャンネルの構成を可能にしている。ピクセルの512×512アレイの8チャンネルの実現は1000フレーム/秒の転送を可能にし、これによって35MHzのオーダのチャンネルデータレート(アドレス、出力設定時間などに関わる総時間に依存する)が得られるが、これは、列毎の相関2重サンプリング(CDS)或いはチャンネル毎のアナログ-デジタル変換を各チャンネルに組み込むために、非常に適切な値である。四半分領域アーキテクチャ(図7参照)及び2倍行出力の使用によって、列信号バス(列毎に2つ)の付加によるピクセルフィル係数のロスが最小になる。16チャンネル撮像器は、各撮像器の四半分領域に取り付けられた4つの並列アドレス/信号処理/出力回路にピクセル信号を出力する4つの列信号バスを使用しても、形成可能である。

【0014】図8は、4つのx-yアレイ四半分領域4

1、42、43、及び44を有する、図7に示される8出力チャンネルを有する本発明のセンサのある実施形態のブロック図であるが、図8では、8つの出力チャンネルが、色特定出力チャンネルを有するように構成されている。色特定方式で出力チャンネルを配置するための好ましい方法では、隣接するカラーピクセルを、同時に異なるチャンネルに読み出すシーケンスが使用される。図7及び図8に示される4つのx-yアレイ四半分領域41、42、43、及び44とそれらのアドレス及び信号処理回路に対する設計レイアウトの好ましいプロセスでは、4つのアレイの1つを、そのアドレス及び信号処理回路と共に形成する。次に、そのアレイの第1回目の鏡像作成によって、関連するアドレス及び信号処理回路を有する2つの四半分領域を生成する。2つの四半分領域の鏡像デザインから、再び鏡像作成によって、4つの四半分領域41、42、43、及び44が生成される。レイアウト時に、4つの四半分領域の全てを別個に設計しても良く、そのようなレイアウトは、信号処理を単純化するような若干異なったアドレス特性を有していても良いことに、留意すべきである。しかし、好適な実施形態によれば、鏡像設計技術が単純であるので、4つの四半分領域に対するどのような他の信号処理の追加も、価値のあるものになっている。

【0015】図9は、出力チャンネルで使用する基本的機能ブロックを描いたブロック図である。出力チャンネルは、本質的にお互いに同一であるか、或いは、少なくとも非常に類似している。相関2重サンプリング(CDS)91が、先に説明した出力チャンネルの各々に対して設けられて、各ピクセルのための電圧レベル信号を提供する。好適な実施形態では、相関2重サンプリングユニット91の各々と共に差動増幅器が使用され、相関2重サンプリングユニット91は、各チャンネルからプログラマブルゲイン増幅器(PGA)93へ、調節された電圧を出力する。PGA93は、各チャンネルに所定のゲイン量を与えるが、これは典型的には色に基づいているが、他の要素に基づいていても良い。

【0016】図10は、本発明によって実現される好適な実施形態において、出力チャンネルの各々に一般的に適用される出力チャンネルの模式的な図である。CDSは、各ピクセルについて2つのサンプル(Reset及びSignal)を受け取り、これに従って2つのサンプル・ホールド回路101及び102に、関連するピクセルから受け取ったReset及びSignalサンプルを各々に1つずつ提供する。Reset及びSignalサンプルの各々は、各スイッチS及びRが閉じているときには、CDS91の中の関連するキャパシタC_s及びC_rに記憶される。キャパシタC_s及びC_rに記憶された値は、差動増幅器92の入力に与えられる。これらの記憶されたSignal及びResetサンプルは、差動増幅器に対する入力として使用される。差動増幅器は、

PGAに出力を与えるが、好適な実施形態では、PGAは差動増幅器出力における可変抵抗器である。PGAがCDSの出力を除外して、PGAの後に配置された差動増幅器を有していてもよいことが理解される。しかし、好適な実施形態では、差動増幅器をCDSの直後に配置する。また、PGAが、可変ゲイン要素として、可変抵抗器と同様にトランジスタ或いはDACなどを使用しても良いことが、理解される。CDSは、Signal及びResetキャパシタの両方をクリアするトランジスタ回路によって、リセットされる。好適な実施形態では、PMOSTランジスタが、クリアの目的で使用される。

【0017】本発明が、ある好適な実施形態を参照して詳細に説明されてきたが、本発明の精神及び範囲の中で変更及び改変が行われ得ることが、理解されるであろう。

【図面の簡単な説明】

【図1】 2つの出力回路を有する従来技術の装置のブロック図である。

【図2】 4つの出力チャンネルを有する本発明のある実施形態のブロック図である。

【図3】 4つの出力チャンネルを有する本発明のある実施形態のブロック図である。

【図4】 4つの出力チャンネルを有する本発明のある実施形態のブロック図である。

【図5】 4つの出力チャンネルを有する本発明のある実施形態であって、チャンネル上に同時に出力される4つのピクセルがモザイクパターンに配置されている場合のブロック図である。

【図6】 本発明の列アドレス/信号処理/出力回路のある実施形態のブロック図である。

【図7】 8つの出力チャンネルを有する本発明のある実施形態のブロック図である。

【図8】 8つの出力チャンネルを有する本発明のある実施形態のブロック図である。

【図9】 出力チャンネルにおける基本的機能ブロックを描いたブロック図である。

【図10】 本発明によって実現される好適な実施形態における、出力チャンネルの各々の模式的な図である。

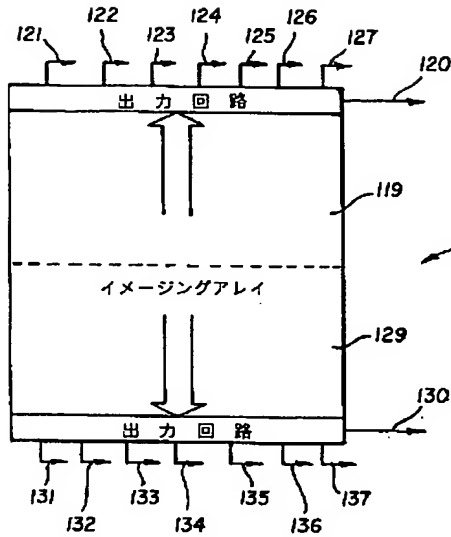
【符号の説明】

1, 2, 3, 4 ピクセル、10, 20, 30 ピクセルアレイ、11, 12, 13, 14, 21, 22, 23, 24, 31, 32, 33, 34, 51, 52, 53, 54, 55, 56, 57, 58 列アドレス/信号処理/出力回路、18, 28, 38, 81, 82, 83, 84 行アドレス回路、41, 42, 43, 44 アレイ四半分領域、91 相関2重サンプリングユニット、92 差動増幅器、93 プログラマブルゲイン増幅器、101, 102 サンプル・ホールド回路、100 センサ、119, 129 フィールド、120, 1

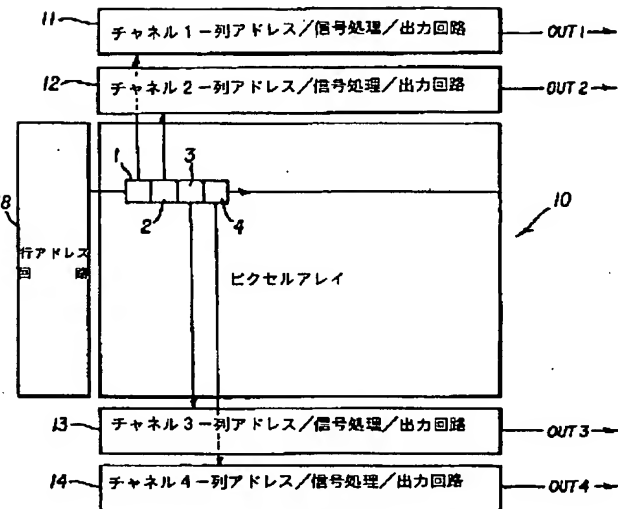
30 出力、121, 122, 123, 124, 125, 126, 127, 131, 132, 133, 134, 135, 136, 137

4, 135, 136, 137 出力タップ。

【図 1】

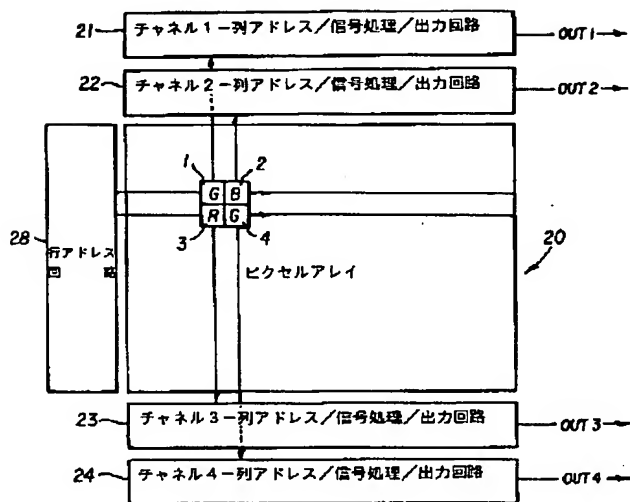


【図 2】

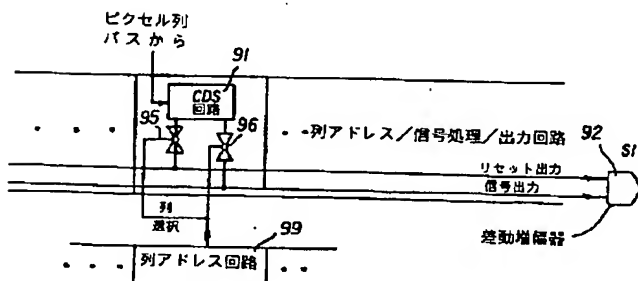


【図 4】

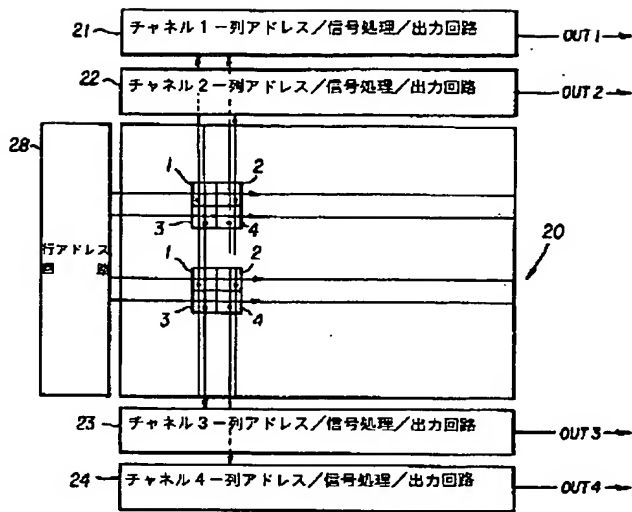
【図 3】



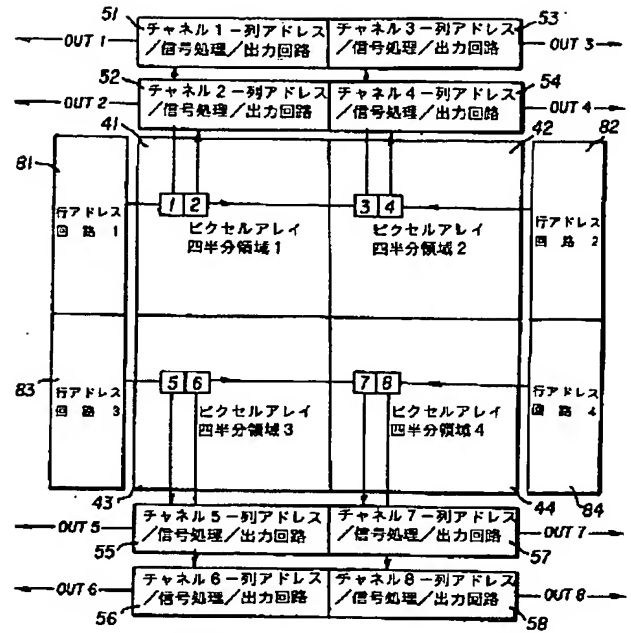
【図 6】



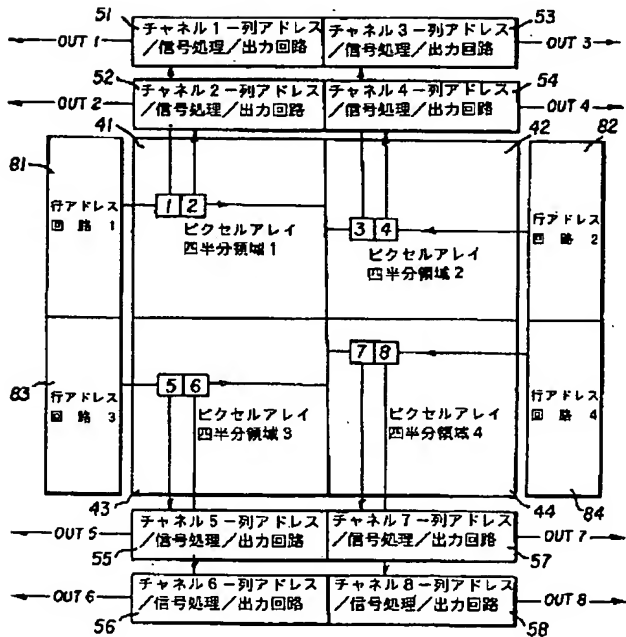
【図 5】



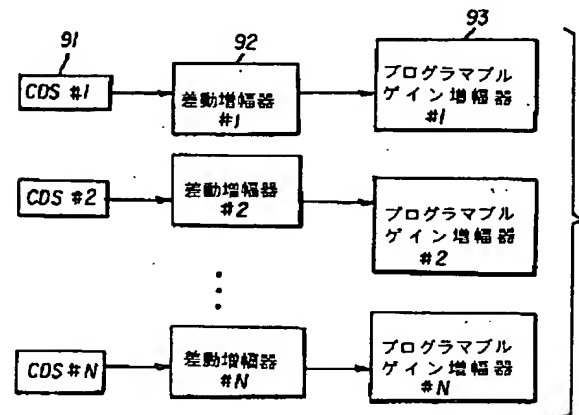
【図 7】



【図 8】



【図 9】



【図 10】

